

COMPENSATED-OFF BIAS VOLTAGE FEEDING CIRCUIT

Patent number: JP9036673 (A)
Publication date: 1997-02-07
Inventor(s): DEIBITSUDO SHII MAKUKURUUA; TOOMASU EI TEIRU +
Applicant(s): SGS THOMSON MICROELECTRONICS +
Classification:
- international: *G05F3/20; H03F1/30; H03F3/16; H03F3/45; H03K17/14; H03K17/687; H03K19/00; H03K19/0175;* (IPC1-7): H03F1/30; H03F3/16; H03F3/45; H03K17/14; H03K17/687; H03K19/00; H03K19/0175
- european: G05F3/20S
Application number: JP19950326060 19951214
Priority number(s): US19940357664 19941216

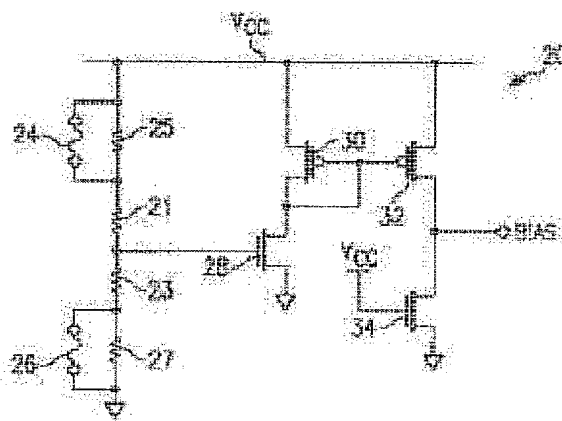
Also published as:

US5654663 (A)
US5568084 (A)
EP0717334 (A2)
EP0717334 (A3)
EP0717334 (B1)

more >>

Abstract of JP 9036673 (A)

PROBLEM TO BE SOLVED: To generate a bias voltage compensation which follows up the fluctuations of the power voltage and the processing parameter. **SOLUTION:** This bias circuit uses the potential dividers 21 and 23 which generate the divided voltage based on the power voltage VCC. These divided voltage are applied to the gate of a modulation transistor TR 28 of a current mirror which controls the current applied to a linear load device 34 which is biased in a linear area. The bias voltage is decided by the voltage crosses the load. Therefore, the fluctuation of the power voltage is reflected on the bias voltage, and the gate-to-source voltage of a series TR is kept constant against the fluctuation of the power voltage. Then the fluctuation of the processing parameter which generates the different TR current drive characteristic is reflected on the bias voltage that is generated by the device 34.



Data supplied from the **espacenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36673

(43) 公開日 平成9年(1997)2月7日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 F 3/45			H 0 3 F 3/45	A
1/30			1/30	B
3/16			3/16	B
H 0 3 K 17/14		9184-5K	H 0 3 K 17/14	
17/687			19/00	A

審査請求 未請求 請求項の数22 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願平7-326060

(22) 出願日 平成7年(1995)12月14日

(31) 優先権主張番号 3 5 7 6 6 4

(32) 優先日 1994年12月16日

(33) 優先権主張国 米国 (U S)

(71) 出願人 591236448

エスジーエーストムソン マイクロエレクトロニクス, インコーポレイテッド
 SGS-THOMSON MICROELECTRONICS, INCORPORATED
 アメリカ合衆国, テキサス 75006,
 カーロルトン, エレクトロニクス ドライブ 1310

(74) 代理人 弁理士 小橋 一男 (外1名)

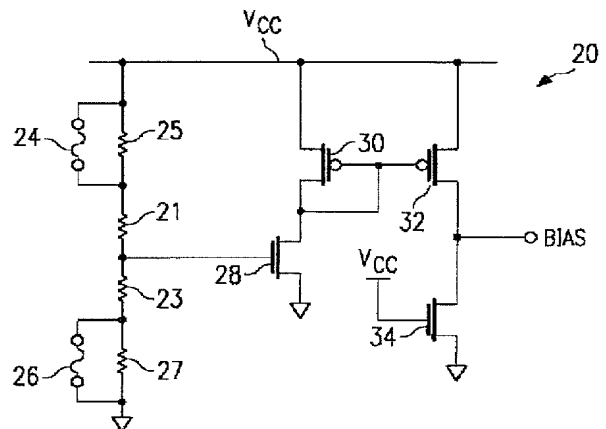
最終頁に続く

(54) 【発明の名称】 補償済のバイアス電圧を与える回路

(57) 【要約】 (修正有)

【課題】 電源電圧及び処理パラメータにおける変動に追従する補償されたバイアス電圧を発生するバイアス回路を提供する。

【解決手段】 本バイアス回路は、電源電圧に基づいて分圧した電圧を発生する分圧器21、23を使用する。この分圧された電圧はリニア領域にバイアスされたリニア負荷装置34へ印加される電流を制御するカレントミラーにおける変調用トランジスタ28のゲートへ印加される。負荷装置を横断しての電圧がバイアス電圧を決定する。従って、電源電圧における変動はバイアス電圧において反映されており、直列トランジスタのゲート対ソース電圧は電源電圧における変動に関し一定のままである。異なるトランジスタ電流駆動特性を発生する処理パラメータにおける変動はリニアな負荷装置によって発生されるバイアス電圧の変動において反映されている。



【特許請求の範囲】

【請求項 1】 集積回路において補償済のバイアス電圧を発生する回路において、

分圧した電圧を発生するために電源電圧と基準電圧との間に結合されている抵抗分圧器が設けられており、基準枝と出力枝とを具備するカレントミラーが設けられており、前記基準枝を介しての電流は前記分圧された電圧によって制御され、且つ前記出力枝が、前記基準枝を介しての電流に対応するミラー電流を導通させるミラートランジスタと、前記ミラー電流を導通させ且つ、ミラー電流にตอบสนองして、バイス出力ノードにおいてバイアス電圧を発生させる負荷とを有する、ことを特徴とする回路。

【請求項 2】 請求項 1 において、前記カレントミラーの基準枝が、ドレインをミラーノードへ接続しておりソースを前記電源電圧へ接続しており且つゲートをドレインへ接続している基準トランジスタと、前記ミラーノードと基準電圧との間に接続した導通経路を具備すると共に前記分圧した電圧を受取る制御端子を具備する変調用トランジスタとを有することを特徴とする回路。

【請求項 3】 請求項 2 において、前記ミラートランジスタが、前記電源電圧とバイアス出力ノードとの間に接続したソース／ドレイン経路を有すると共に、前記ミラーノードへ接続した制御端子を有することを特徴とする回路。

【請求項 4】 請求項 3 において、前記負荷が、前記バイアス出力ノードと基準電圧との間に接続した導通経路を具備すると共にリニア領域にバイアスさせるための電圧を受取る制御端子を具備する負荷トランジスタを有することを特徴とする回路。

【請求項 5】 請求項 4 において、前記基準トランジスタ及びミラートランジスタが P チャンネル電界効果トランジスタであり、且つ前記変調用トランジスタ及び負荷トランジスタが N チャンネル電界効果トランジスタであることを特徴とする回路。

【請求項 6】 請求項 5 において、前記基準トランジスタの寸法を、前記変調用トランジスタが飽和領域にバイアスされるように選択されていることを特徴とする回路。

【請求項 7】 請求項 6 において、前記ミラートランジスタの寸法が、前記負荷トランジスタがリニア領域にバイアスされるように選択されていることを特徴とする回路。

【請求項 8】 請求項 4 において、前記負荷トランジスタの制御端子において受取られる電圧が前記電源電圧の一部であることを特徴とする回路。

【請求項 9】 請求項 1 において、前記負荷が抵抗であることを特徴とする回路。

【請求項 10】 請求項 1 において、前記負荷がダイオードであることを特徴とする回路。

【請求項 11】 請求項 1 において、前記バイアス回路が、更に、ディスエーブル信号にตอบสนองして前記分圧器を前記カレントミラーから切断させるために前記分圧器と前記カレントミラーとの間に結合されているパスゲートとを有することを特徴とする回路。

【請求項 12】 データノードにおいて受取られたデータ信号にตอบสนองして出力ノードを論理関数へ駆動させる出力ドライバ回路において、

前記出力ノードと第一電源電圧との間に接続されている導通路を具備すると共に制御端子を具備する第一駆動トランジスタが設けられており、

入力が前記データノードへ結合されると共に出力が前記第一駆動トランジスタの制御端子へ結合されているスリューレート制御関数部が設けられており、前記スリューレート制御関数部は、導通経路及び制御電力を具備する電流制限用トランジスタと、前記第一駆動トランジスタの制御端子と第一電圧との間において前記電流制限用トランジスタの導通経路と直列接続されている導通経路を具備すると共に前記データモードへ結合されている制御端子を具備しており前記第一電圧が前記第一駆動トランジスタの制御端子へ印加されると前記第一電圧が前記第一駆動トランジスタをターンオンさせる第一トランジスタと、一端側において前記第一駆動トランジスタの制御端子へ接続されており且つ他端側において第二電圧へ接続されている導通経路を具備すると共に前記データノードへ結合されている制御端子を具備する第二トランジスタと、前記第一電圧における変動に追従する前記電流制限用トランジスタの制御端子へバイアス電圧を印加させるバイアス回路とを有しており、

前記バイアス回路が、分圧された電圧を発生させるために前記第一電圧と基準電圧との間に結合されている抵抗分圧器と、基準枝及び出力枝を具備しており前記基準枝を介しての電流が前記分圧された電圧によって制御されるカレントミラーとを有しており、

前記出力枝が、前記基準枝を介しての電流に対応するミラー電流を導通させるミラートランジスタと、前記ミラー電流を導通させると共に前記ミラー電流にตอบสนองしてバイアス出力ノードにおいてバイアス電圧を発生させる負荷とを有する、ことを特徴とする回路。

【請求項 13】 請求項 12 において、前記第二電圧及び前記第一電源電圧が同一の電圧であることを特徴とする回路。

【請求項 14】 請求項 12 において、更に、前記出力ノードと第二電源電圧との間に接続されている導通経路を具備すると共に前記データノードへ結合されている制御端子を具備する第二駆動トランジスタが設けられていることを特徴とする回路。

【請求項 15】 請求項 12 において、前記カレントミラーの基準枝が、ミラーノードと第一電圧との間に接続されているソース／ドレイン経路を具備すると共にドレ

インへ接続されているゲートを具備する基準トランジスタと、前記ミラーノードと第二電圧との間に接続されている導通経路を具備すると共に前記分圧された電圧を受取る制御端子を具備する変調用トランジスタとを有しており、前記ミラートランジスタは前記第一電圧とバイアス出力ノードとの間に接続されているソース／ドレイン経路を具備すると共に前記ミラーノードへ接続されている制御端子を具備しており、前記負荷は、前記バイアス出力ノードと第二電圧との間に接続されている導通経路を具備すると共に前記負荷トランジスタをターンオンさせるための電圧へバイアスされている制御端子を具備する負荷トランジスタを有している、ことを特徴とする回路。

【請求項 16】 請求項 12 において、前記バイアス回路が、更に、前記ディスエーブル信号を受取ることに応答して前記電流制限用トランジスタをオフ状態へバイアスさせるために前記ディスエーブル信号を受取る制御電極を具備するディスエーブルトランジスタを有していることを特徴とする回路。

【請求項 17】 バイアス電圧が電源電圧における変動と共に変動する場合において電源電圧に基づいてバイアス電圧を発生する方法において、電源電圧を分圧器へ印加して分圧された電圧を発生し、前記分圧した電圧を変調用トランジスタの制御端子へ印加してカレントミラーの基準枝における基準電流を制御し、尚変調用トランジスタは飽和領域にバイアスされており、前記基準電流をミラー動作させて前記カレントミラーの出力枝にミラー電流を発生させ、前記ミラー電流を前記カレントミラーの出力枝内の負荷へ印加して前記バイアス電圧を発生させる、ことを特徴とする方法。

【請求項 18】 請求項 17 において、前記変調用トランジスタが前記カレントミラーの基準枝において導通経路を具備すると共に前記分圧器へ結合した制御端子を具備する電界効果トランジスタであって、前記変調用トランジスタを飽和領域にバイアスさせることを特徴とする方法。

【請求項 19】 請求項 18 において、前記カレントミラーの出力枝がミラートランジスタを有しており、且つ前記負荷が負荷トランジスタを有しており、前記ミラートランジスタ及び負荷トランジスタの各々は、互いに直列接続した導通経路を具備しており、前記ミラートランジスタは、前記ミラートランジスタによって導通される電流が前記変調用トランジスタによって導通される電流をミラーするように前記カレントミラーの基準枝へ結合されている制御端子を具備しており、且つ前記負荷トランジスタをリニア領域にバイアスさせることを特徴とする方法。

【請求項 20】 遅延装置において、

導通経路及び制御電極を具備するプルアップトランジスタが設けられており、電源電圧と基準電圧との間において前記プルアップトランジスタの導通経路と直列接続されている導通経路を具備すると共に前記プルアップトランジスタの制御電極を入力ノードへ結合させている制御電極を具備するプルダウントランジスタが設けられており、前記プルアップトランジスタ及びプルダウントランジスタはそれらは夫々の導通経路の間から出力ノードを駆動し、前記プルアップトランジスタ及びプルダウントランジスタの導通経路と直列接続されている導通経路を具備すると共に制御電極を具備する第一直列トランジスタが設けられており、

前記第一直列トランジスタの制御電極へ結合されている出力を具備するバイアス回路が設けられており、前記バイアス回路は、分圧された電圧を発生するために前記電源電圧と基準電圧との間に結合されている抵抗分圧器と、基準枝と出力枝とを具備しており前記基準枝を介しての電流が分圧された電圧によって制御されるカレントミラーとを有しており、前記出力枝が、前記基準枝を介しての電流に対応するミラー電流を導通させるためのミラートランジスタと、前記ミラー電流を導通させ且つ前記ミラー電流にตอบสนองして前記第一直列トランジスタの制御端子へ結合されるバイアス電圧を発生させる負荷とを有する、ことを特徴とする遅延装置。

【請求項 21】 請求項 20 において、前記プルアップトランジスタ及びプルダウントランジスタ及び第一直列トランジスタの導通経路と直列接続されている導通経路を具備すると共に前記バイアス回路の出力へ結合されている制御電極を具備する第一直列トランジスタが設けられていることを特徴とする遅延装置。

【請求項 22】 請求項 20 において、前記入力信号を受取るべく接続されている第一入力端を具備すると共に本遅延装置の出力を受取るべく結合されている第二入力端を具備しており前記入力信号の遷移にตอบสนองして出力端において開始し且つ本遅延装置によって決定される期間を具備するパルスを発生させるための論理関数部が設けられていることを特徴とする遅延装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路に関するものであって、更に詳細には電源及び製造処理の変動を補償したバイアス電圧を発生させる技術に関するものである。

【0002】

【従来の技術】当該技術において基本的なことであるが、最近の集積回路から得ることの可能な高性能は、全ての集積回路用のトランジスタを同一の集積回路チップ上に製造することから自動的に得られるトランジスタの

マッチングによるものである。このマッチングは、同一のチップ上の全ての装置が同一のプロセスパラメータで同時に製造されることから得られるものである。そうであるから、そのような集積回路は、電源電圧、処理パラメータ（スレッシュホールド電圧、チャンネル長、等）及び温度における広範な変動にわたりマッチングした態様で動作する。

【0003】然しながら、集積回路上の装置が単にマッチングされて動作するというだけでは適切な動作を保証するものではなく、全てのデバイス即ち装置が互いにマッチングした態様で動作するということを意味するに過ぎない。例えば、集積回路がその「高電流コーナー」条件（即ち、最小チャンネル長、最小スレッシュホールド電圧）で製造される場合には、そのチップ内の全てのトランジスタは比較的高い利得を有しており、且つ比較的迅速にスイッチ動作するものであり、従ってその集積回路は、特に、印加される電源電圧が最大であり温度が低い場合には、その最高速度で動作する。逆に、集積回路がその「低電流コーナー」（最大チャンネル長、最大スレッシュホールド電圧）において製造される場合には、そのチップ内の全てのトランジスタは比較的低い利得を有しており且つスイッチング速度が遅く、従ってその集積回路は、特に温度が高く電源電圧が低い場合には、最低速度で動作する。従って、処理変動、電源電圧及び温度等のファクタは、集積回路の速度及び全体的な機能性に著しく影響を与える。

【0004】回路設計者は、集積回路を設計する場合にこれらの変動を考慮に入れねばならない。例えば、回路設計者が、集積化したメモリ回路のクリティカル即ち臨界的なデータ経路においてある内部クロックパルスが非常に迅速に発生することを希望する場合がある。然しながら、処理、電圧及び温度における上述した変動が、回路がその最高速度条件において（高電流処理コーナー、高電圧、低温度）はや過ぎ、クロックが時期尚早に発生したり又はクロックパルスの幅が狭過ぎたりする場合があることを考慮することなしに、クロックパルスの最も速いタイミングを最も遅い条件に設定する設計者の能力を制限している。このような内部クロックパルスの例は、遅延が直接的にアクセス時間に影響を与える集積回路メモリにおけるセンスアンプ用のクロックパルスであり、センスアンプのクロックの発生が速すぎると、不正確なデータを検知する場合がある。

【0005】当該技術分野において公知の如く、回路のスイッチング時間を制御する、典型的な方法は、スイッチング経路内に1個又はそれ以上の直列トランジスタを挿入し、且つバイアス電流で該直列トランジスタを介しての電流を制御することである。所望のパラメータに対して補償された態様でバイアス電圧を制御することは、補償された態様で回路のスイッチングを制御することを可能とする。

【0006】次に、図1を参照して、例えばマイクロプロセッサ、メモリ等の従来の集積回路出力段のスイッチングを制御するために直列トランジスタを使用する場合について説明する。

【0007】図1の回路は、同一の集積回路チップ上に存在している図示していない機能的回路によってライン $DATA_i$ 、 $DATA_j$ 上に発生されるデジタル信号に応答して出力端子 OUT_i 、 OUT_j 上にデジタル論理状態を与える。図1に示した如く、出力端子 OUT_i 、 OUT_j は、集積回路チップの表面におけるボンドパッドを暗示するものであって、それらはワイヤボンド、ビームリード、等によってパッケージした集積回路の外部端子へ直接的に接続される。そうであるから、例えば静電放電保護装置等のある種のその他の回路（不図示）を、図1の回路と共に実現される。更に、図1の回路は専用の出力端子 OUT_i 、 OUT_j を駆動するための状態を示しているが、出力駆動回路はデータを供給するのみならず集積回路外部からデータを受取る共通入力／出力端子を駆動することも可能である。

【0008】図1の例においては、出力ドライバ 2_i がライン $DATA_i$ 上に存在する論理状態に対応する論理状態で出力端子 OUT_i を駆動し、一方出力ドライバ 2_j がライン $DATA_j$ 上に存在する論理状態に対応する論理状態で出力端子 OUT_j を駆動する。勿論、集積回路チップ上には2個を超えた数の出力ドライバ2が存在することがもくろみられており、例えば、最近のマイクロプロセッサ及びメモリ装置では、高々、16個又は32個の出力端子を有する場合があり、従って16個又は32個の出力ドライバ2を有する場合がある。出力ドライバ 2_i 、 2_j は、同様の構成を有しており、従って、出力ドライバ 2_i についての以下の説明は同一の集積回路上のその他の出力ドライバ2の構成及び動作についても同様に当てはまる。

【0009】出力ドライバ 2_i はCMOSプッシュプル型であって、従ってPチャンネルプルアップトランジスタ4とNチャンネルプルダウントランジスタ8とを有している。トランジスタ4及び8のドレインは共に出力端子 OUT_i へ接続しており、トランジスタ4のソースは V_{DD} へバイアスされており且つトランジスタ8のソースは接地へバイアスされている。入力データライン $DATA_i$ は、非反転バッファ6を介してPチャンネルプルアップトランジスタ4のゲートへ接続している。入力データライン $DATA_i$ は、トランジスタ10、12、14から構成される反転用論理関数部によってNチャンネルプルダウントランジスタ8へ結合しており、このような論理関数部は、以下の説明から明らかとなるように、出力ドライバ 2_i のスイッチング速度即ちスリューレートを制御する機能も有している。

【0010】Nチャンネルプルダウントランジスタ8のゲートはPチャンネルトランジスタ12及びNチャンネル

ルトランジスタ14のドレインから駆動され、トランジスタ12及び14のゲートは入力データラインDATA_iへ接続している。従って、トランジスタ12、14は入力データラインDATA_iの論理状態の論理的反転を行なう。トランジスタ14のソースは接地へバイアスされており、一方トランジスタ12のソースはPチャンネルバイアストランジスタ10のドレインへ接続しており、トランジスタ10のソースはV_{cc}へバイアスされている。Pチャンネルバイアストランジスタ10のゲートはバイアス回路5によって発生されるバイアス信号（ラインBIAS上）によって駆動される。この構成においては、トランジスタ10によって導通される電流が、入力データラインDATA_iが低（即ち、トランジスタ8がターンオン）である場合に、トランジスタ12の駆動電流を制御し、従ってトランジスタ8のゲートが入力データラインDATA_iの高から低への遷移にตอบสนองして高へプルされる速度を制御する。従って、トランジスタ10の電流は、出力端子OUT_iが論理高レベルから論理低レベルへスイッチされる場合にプルダウントランジスタ8がターンオンされる速度を制御する。

【0011】当該技術において公知の如く、負荷へ印加される電流の時間的変化割合（ $dV = L di / dt$ ）の結果として誘導性ノイズが発生される。従って、スイッチング速度が高いと、一般的にノイズが増加する。何故ならば、電流の時間的変化割合が増加するからである。回路設計者は、通常、スイッチング速度及びノイズと相対的に動作点を最適条件に選択する。この最適条件を維持するために、バイアス回路5は電源電圧、温度、処理変動における変動を補償するバイアス電圧をラインBIAS上に供給する。

【0012】図1のCMOS構成においては、Nチャンネルプルダウントランジスタ8はPチャンネルプルアップトランジスタ4よりも一層高速でスイッチし、それは、当該技術において公知の如く、チャンネル移動度がPチャンネルトランジスタよりもNチャンネルトランジスタの方が通常一層高いという理由による。そうであるから、図1の例においては、スリューレイト制御は、Nチャンネルプルダウントランジスタ8がターンオンされる速度を制御するためにのみ使用され、Pチャンネルプルアップトランジスタ4がターンオンされる速度を制御するためには使用されない。

【0013】然しながら、バイアス回路5を介してラインBIAS上にバイアス電圧を発生させる従来の技術は制限されたものであった。1つの一般的な技術は、温度変動に対する補償を行なうためにバイアス回路5を使用するものである。当該技術において公知の如く、MOSトランジスタのスレッシュホールド電圧は温度とは逆に変化する。従って、従来の技術では、補償用バイアス電圧を発生させるためにスレッシュホールド電圧変動に依存することによって温度変動を補償していた。例えば、

図1の回路においては、Pチャンネルトランジスタスレッシュホールド電圧の変動に追従するためにバイアス回路5がラインBIAS上の電圧を調節しており、従ってトランジスタ10に対する電圧の大きさ $|V_{gs} - V_{tp}|$ は温度に関して一定の状態を維持する。

【0014】然しながら、スレッシュホールド電圧に基づいたバイアス回路を使用することは、温度変動及び処理パラメータ変動の両方を補償するのには適したものではないことが判明した。何故ならば、スレッシュホールド電圧自身処理パラメータであるからである。従って、処理パラメータにおける変動は回路が温度に対して補償する能力に影響を与える場合がある。正に、温度に対して補償されている従来のバイアス電圧発生回路は、電源電圧における変動及び処理変動に対して良好に補償されているものではないことが判明した。

【0015】

【発明が解決しようとする課題】本発明は、電源電圧及び処理パラメータにおける変動に追従する補償されたバイアス電圧を発生することの可能なバイアス回路を提供することを目的とする。本発明の別の目的とするところは、温度変動を考慮する必要がないように電源電圧及び処理パラメータにおける変動を確実に補償するバイアス回路を提供することである。

【0016】

【課題を解決するための手段】本発明は、処理パラメータ及び電源電圧における変動に追従する電圧を発生するバイアス回路において実現することが可能である。そのバイアス電圧は、カレントミラーの入力枝内の電流を設定する抵抗分圧器に基づいており、カレントミラーの出力枝は論理ゲートへ印加されるバイアス電圧を発生する。本バイアス回路は、飽和状態に維持される変調用トランジスタに基づいており、それはリニアな負荷装置を横断しての電流を制御する。その結果、バイアス電圧は、バイアス電圧が電源電圧における上昇（従って、駆動電流における上昇）を追従するようにトランジスタ駆動電流（それは電源電圧に基づいている）の関数として変調される。更に、例えば、処理パラメータ変動から発生する如く、カレントミラーを介しての電流における変動がリニアな負荷装置を横断しての電圧において反映される。電源電圧及び処理パラメータにおける変動に対しての確実なる補償が行なわれる。

【0017】

【発明の実施の形態】図2を参照して、本発明の好適実施例に基づくバイアス回路20の構成及び動作について詳細に説明する。一般的に、バイアス回路20はカレントミラーバイアス回路であって、その場合に、カレントミラーの基準枝は分圧器にตอบสนองする。以下の説明から明らかな如く、バイアス回路20は、電源電圧V_{cc}の値における変動と一貫した態様で且つある製造処理パラメータに対してマッチングした態様で変化するバイアス電圧

をラインBIAS上に供給することを意図している。

【0018】例えば、バイアス回路20は、ラインBIAS上のこのような電圧を図1の駆動回路2におけるトランジスタ10のゲートへ供給することが可能である。この場合には、Pチャンネルトランジスタ10のゲート対ソース電圧が V_{cc} における変動に関し実質的に一定の状態を維持し、従ってその電流が一定の状態を維持するものであることが望ましく、換言すると、ラインBIAS上のそのゲートにおける電圧が V_{cc} における変動に追従する。このことは、これらの変動にも拘らず、駆動回路2の駆動特性が最適化された速度対ノイズ動作点に留まることを確保し、従って集積回路の最適化動作をその仕様範囲にわたり確保している。

【0019】本発明のこの実施例においては、バイアス回路20は、 V_{cc} 電源と接地との間に直列接続されている抵抗21、23からなる分圧器を有している。抵抗21、23の間のノードにおけるこの分圧器の出力はNチャンネルトランジスタ28のゲートへ接続している。抵抗21、23は、好適には、通常の態様でポリシリコン抵抗として実現される。図2に示した如く、分圧器の各枝内に付加的な抵抗25、27を設けることが可能であり、ヒューズ24、26がそれらと並列接続されている。このような態様で、バイアス回路20が実現される集積回路はヒューズによってプログラムすることが可能であり、所望により、トランジスタ28のゲートへ印加される電圧の調節を行なうことを可能としている。また、分圧器の出力電圧をより広い範囲で調節することを可能とするために、複数の付加的な抵抗25、27及びそれらに付随するヒューズを分圧器内に設けることが可能である。

【0020】上述した如く、トランジスタ28のゲートは抵抗21、23からなる出力を受取る。トランジスタ28のソースは接地へバイアスされており、且つトランジスタ28のドレインはPチャンネルトランジスタ30のドレイン及びゲートへ接続しており、トランジスタ30のソースは V_{cc} へ接続している。トランジスタ28、30を組合わせたものはカレントミラーの基準枝であり、カレントミラーを介して導通される電流は抵抗21、23からなる分圧器の出力電源によって実質的に制御される。従って、トランジスタ28のゲートへ印加される電圧、従ってカレントミラーの基準枝内をトランジスタ28、30によって導通される電流は、 V_{cc} 電源の電圧における変動に従って変化するが、変化する V_{cc} と相対的に同一の比を維持する。

【0021】バイアス回路20におけるカレントミラーの出力枝は、Pチャンネルミラートランジスタ32及びリニア負荷装置34を有している。カレントミラーの態様で、Pチャンネルトランジスタ32のソースは V_{cc} へ接続しており、そのゲートはトランジスタ30のゲート及びドレインへ接続している。トランジスタ32のドレ

インはラインBIASにおいてリニア負荷装置34へ接続している。負荷装置34はソースが接地されており且つゲートが V_{cc} に接続されたNチャンネルトランジスタ34として実現することが可能であり、その場合には、トランジスタ32、34の共通ドレインノードがラインBIAS上にバイアス電圧出力を駆動する。一方、リニア負荷装置34は精密な抵抗、又は2端子ダイオードとして実現することが可能である。

【0022】いずれの場合にも、リニア負荷装置34は例えばチャンネル長等の処理パラメータにおける変動に対しての補償を与える上で重要である。トランジスタ30、32のチャンネル長における変動は、トランジスタ32によって導通される電流において変動を発生し、従って、負荷装置34のリニア特性のために、ラインBIAS上の電圧に対応した変動を発生させる。従って、バイアス回路20は、集積回路におけるトランジスタによる電流の導通に影響を与える処理パラメータにおける変動を追従する出力電圧をラインBIAS上に供給する。

【0023】前述した如く、トランジスタ32によって導通される電流は、トランジスタ30を介して導通される電流とマッチ即ち一致するか又は特定の整数倍であるように制御される。トランジスタ28、30を介して導通される電流は V_{cc} 電源の分圧された電圧に従って制御されるので、トランジスタ32によって導通される電流（従って、ラインBIAS上の電圧）は V_{cc} 電源によって制御される。以下に詳細に説明する如く、リニアな負荷34を横断しての電圧降下における変調によって、ラインBIAS上の電圧も V_{cc} 電源電圧における変調に追従する。

【0024】バイアス回路20におけるトランジスタの間のある寸法関係が適切な補償を確保する上で極めて重要であると考えられる。最初に、トランジスタ28は、好適には、使用される製造プロセスに対して最小チャンネル長及びチャンネル幅そのものではないがその近傍である。最小チャンネル長の近傍を使用することが好適である。従って、トランジスタ28によって導通される電流は、集積回路における最も高い性能のトランジスタに対するチャンネル長における変動に従って変化する。より長いチャンネル長を使用することは処理変動に対するトランジスタ28の感度をより低いものとさせる。然しながら、ホットエレクトロン効果及び短チャンネル効果を回避するためにチャンネル長は最小のものよりも幾分長めである。更に、トランジスタ28は、好適には、最小のものではないが比較的小さいチャンネル幅を有するものであり、それによりチャンネルを介して導通する電流を最小とし、特にバイアス回路20はトランジスタ28、30（及びミラー枝トランジスタ32及びリニア負荷34）を介して常にDC電流を導通させるものであることを考慮するとそのことが言える。最近の製造プロセスに基づいてのトランジスタ28の寸法の例

は、チャンネル長が $0.8\mu\text{m}$ でありチャンネル幅が $4.0\mu\text{m}$ であり、その場合のプロセス最小値は $0.6\mu\text{m}$ 及び $1.0\mu\text{m}$ である。

【0025】トランジスタ28及びリニアな負荷装置34（トランジスタとして実現されている場合）を夫々適切にバイアスさせるためにはPチャンネルトランジスタ30、32も適切に寸法構成されねばならない。ラインBIAS上のバイアス電圧を適切に補償するためには、トランジスタ28は、好適には、飽和（二乗法則）領域内にバイアスさせ、一方トランジスタ34はリニア（即ちトライオード）領域内にバイアスさせる。このことは、トランジスタ34が実効的にリニアな抵抗性負荷装置として作用することを可能とし、一方トランジスタ28は飽和状態にとどまる。図2におけるバイアス回路20の構成から明らかな如く、このようなバイアス動作はトランジスタ28及び30の相対的な寸法及びトランジスタ32及び34の相対的な寸法に依存している。

【0026】トランジスタ28を飽和状態に維持しながらトランジスタ28のゲートにおける電圧が可及的に V_{DD} に近いものとするを可能とするためにトランジスタ30が実際に可能な程度に大型のものとすることが望ましい。何故ならば、 V_{DD} における変動は、抵抗21、23から構成される分圧器によって定義される比においてトランジスタ28のゲートへ印加されるからであり、従って、トランジスタ28を飽和状態に維持しながら、この比を可及的に1に近いものとするが望ましい。トランジスタ30に対して大きな W/L の比はそのドレイン対ソース電圧を比較的小さなものとすることを可能とし、従ってトランジスタ28のドレイン電圧を一層高いものとさせ、そのことはトランジスタ28を飽和状態に維持したままトランジスタ28のゲートにおける電圧を一層高いものとするを可能とする。従って、バイアス回路20の追従能力はトランジスタ30が極めて大きなものとすることによって改善される。

【0027】上述した例においては、 V_{DD} 電源電圧は公称的に 5.0V であり、以下の表は、各々のチャンネル長が $0.8\mu\text{m}$ である場合に対しての図2の構成におけるトランジスタ28、30、32、34の好適なチャンネル幅（ミクロン）を表わしている。

【0028】

表

トランジスタ	チャンネル幅 (μm)
28	4.0
30	32.0
32	76.0
34	4.0

バイアス回路20のこの例は、 V_{DD} 電源電圧の比較的大い範囲にわたってラインBIAS上の電圧の良好なトラッキング即ち追従性を維持する上で効果的であることが判明した（シミュレーションによって）。図3は本発明

に基づくバイアス回路20の動作を示した、 $0.8\mu\text{m}$ ミクロン製造プロセスにおける最大及び最小トランジスタチャンネル長に対してシミュレートした V_{DD} の関数としてのラインBIAS上の電圧のプロットを示している。図3における曲線44、46は、夫々、 0°C 及び 100°C 接合温度における低電流処理コーナー（即ち最大チャンネル長）に対応しており、図3における曲線48、50は、夫々、 0°C 及び 100°C の接合温度における高電流処理コーナー（即ち、最小チャンネル長）に対応している。図3から明らかな如く、ラインBIAS上の電圧による上昇する V_{DD} のトラッキング即ち追従性は極めて正確であり、温度及び処理パラメータの広い範囲にわたってそのことが言える。

【0029】次に、図4を参照すると、上述したような V_{DD} 及び処理に対して補償したバイアス回路20の出力ドライバ回路への組込みが示されている。出力ドライバ回路21の構成は図1に関して上述したものと類似しており、従って同様の構成要素には同様の参照番号を付してある。然しながら、上述した如き本発明の好適実施例に基づくバイアス回路20が従来のバイアス回路5の代わりに使用されている。従って、トランジスタ10のゲートへ印加されるラインBIAS上の電圧は V_{DD} 電源電圧における変動（トランジスタ10のソースにおいて）追従する。その結果、駆動回路2におけるトランジスタ10を介して導通される電流は実質的に一定状態に維持される。何故ならば、そのゲート対ソース電圧は一定状態に維持されるからである。

【0030】次に、図5を参照して、本発明の好適実施例に基づくバイアス回路20の別の例について詳細に説明する。図5におけるバイアス回路20は上述した如き本発明の好適実施例に基づいて構成されている。この例においては、ラインBIASが遅延ゲート60へ印加され、ラインINにおける信号が高から低への遷移を行なう場合に対してラインIN上の信号とラインOUT上の対応する信号との間の伝播遅延を制御する。この例においては、遅延ゲート60は実質的にCMOSインバータとして構成されておりPチャンネルプルアップトランジスタ54及びNチャンネルプルダウントランジスタ56はそれらのドレインを共通して駆動ラインOUTへ接続しており、且つそれらのゲートをラインINへ接続している。トランジスタ56のソースは通常のとおり接地へ接続されている。

【0031】この例においては、Pチャンネルトランジスタ52は、それらのソース／ドレイン経路を V_{DD} とトランジスタ54のソースとの間に直列して接続している。トランジスタ52のゲートは共にラインBIASへ接続している。そうであるから、ラインINが高から低への遷移を行なうことに応答してラインOUTをプルアップするために使用されているトランジスタ54を介して V_{DD} からの電流は、バイアス回路20からのラインB

IAS上の電圧の制御下でトランジスタ52の導通によって制限される。従って、遅延ゲート60を介しての伝播遅延はラインBIAS上の電圧によって制御される。2つのトランジスタ52が図5において示されているが、所望の遅延特性に依存して、単一のトランジスタ52又は2個以上のトランジスタ52を使用することが可能であることは勿論である。

【0032】上述した如く、ラインBIAS上の電圧は電源電圧及び処理パラメータにおける変動に追従する。従って、本発明のこの実施例に基づく遅延ゲート60におけるトランジスタ52のゲート対ソース電圧は V_{cc} における変動及び処理パラメータにおける変動に関して比較的一定に維持され、そのことは、遅延ゲート60を介して伝播遅延をこのような変動に関し比較的一定に維持する。その結果、本発明のこの実施例に基づく遅延ゲート60は、集積回路設計者が電源電圧及び処理パラメータにおける変動に関し伝播遅延が比較的一定に維持されるという知識の下で、ある内部クロックタイミングをより積極的に設計することを可能としている。従って、低及び高電流処理コーナー及び低及び高電源電圧の間に必要とされる保護領域はより少ない。

【0033】次に、図6を参照して、本発明の好適実施例に基づくバイアス回路20の別の仕様状態について詳細に説明する。即ち、この場合は、バイアス回路20をパルス発生回路において使用する場合である。図6は、ラインINにおける論理信号の遷移にตอบสนองしてラインPLSにおいてパルスを発生させるパルス発生回路を示している。要約すると、NAND機能62がその2つの能力における論理レベルが両方とも高論理レベルにあることにตอบสนองしてラインPLS上に低論理レベルを供給し且つそうでなければ低論理レベルを供給する。ラインINはNAND機能62の第一入力へ直接接続されており且つ奇数個の直列した遅延用反転機能部60、61（この場合には、このような5個の機能部であるが、任意の数の機能部を使用することが可能である）を介してNAND機能部62の第二入力へ接続されている。そうであるから、定常状態において、NAND機能部62への2つの入力はいかに論理的に相補的な状態である（即ち、反転要素60、61が奇数個であるから）。然しながら、ラインINにおいての信号の遷移に続く遅延期間の間（このような遅延期間は直列した機能部60、61の伝播遅延によって定義される）、NAND機能部62への2つの入力は同一である。従って、本発明のこの実施例においては、ラインINにおいての低から高への遷移に続く期間に対しラインPLS上に正論理パルスが発生され、その期間は直列した機能部60、61の伝播遅延によって決定される。

【0034】遅延ゲート60は図5に関して上述した如くに構成されており、従って、その入力において受取られる高から低への論理遷移の反転において上述した如く

に構成されたバイアス回路20からのラインBIASによって制御される比較的一定な伝播遅延を与える。図6の回路においては、回路の全体的な遅延（従って、ラインPLSにおけるパルス幅）が主に遅延ゲート60によって決定されることが望ましく、従ってラインPLSにおけるパルス幅は電源電圧及び処理パラメータにおける変動に対して補償される。従って、本発明のこの実施例においては、ラインPLSにおけるパルスがラインINにおける低から高への遷移にตอบสนองしてNAND機能部によって発生されるので、遅延ゲート60は5個の反転機能部のシリーズにおいて2番目及び4番目として位置されており、従来のインバータ61が1番目、3番目、5番目に位置されている。このように、ラインINにおいての低から高への遷移は1回又は3回の反転の後に高から低への遷移として遅延ゲート60の入力へ与えられる。

【0035】従って、図6の回路は遅延ゲート60によって決定される幅のパルスを発生させることが可能であり、それは電源電圧及び処理パラメータにおける変動に関し比較的一定に維持される。従って、回路設計者は、最高速度電圧及び処理条件においてパルス幅が過剰に小さなものとなることがないことの信頼性をもって、集積回路に対する最悪状態の電圧及び処理条件に対し積極的に設計を行なったパルスを発生させるために図6の回路を使用することが可能である。

【0036】次に、図7を参照して、本発明の別の実施例に基づくバイアス回路20'について詳細に説明する。回路20'における構成要素であって回路20における構成要素と類似したものには同一の参照番号を付してある。

【0037】バイアス回路20'は上述したバイアス回路20と同様に構成されている。然しながら、この実施例においては、ゲート電圧が V_{cc} 電源電圧の特定した一部であるようにリニアな負荷トランジスタ34のゲートが分圧器38によって設定される。トランジスタ34は実質的にリニアな負荷として動作するが、実際には、電圧制御型抵抗であって、そのオン抵抗はゲート対ソース電圧の関数である。 V_{cc} の一部のみをトランジスタ34のゲートへ図7に示した如く印加することによってトランジスタ34の不所望の抵抗の減少が V_{cc} が正の遷移をする場合に減少させることが可能である。

【0038】本発明の別の実施例に基づくバイアス回路20'も、所望によりスリューレート制御機能をディスエーブル即ち動作不能状態とさせる回路を有している。バイアス機能がディスエーブルされると、駆動回路2のトランジスタ10が完全にターンオンされこの例の場合には、ラインBIAS上の低論理レベルが与えられる。図7に示した如く、NOR機能部40は、例えば、ラインDIS及びSTRESS上の入力を受取る。ラインDISは集積回路の他の箇所でも発生され、且つバイアス回

路20'がディスエーブルされるべき場合に高論理レベルを与え、ラインDISは特定の動作に対して存在するべく動的に発生させることが可能であり、一方ラインDISは製造プロセスにおいてヒューズを開放させることによってバイアス回路20'を強制的にディスエーブル状態とさせるようなヒューズ回路によって駆動することが可能である。ラインSTRESSは例えば集積回路内のあるノードへ過剰に高い電圧が供給されること等の特別のテストモード期間中に高論理レベルを与える。従って、ラインSTRESSは、例えば、当該技術において公知の如く、過剰電圧条件に応答する特別テストモード制御回路によって発生される。

【0039】従って、NORゲート40の出力はその入力端におけるラインDIS及びSTRESSのいずれもがアサートつまり活性化されていないことに応答してラインEN上に高論理レベル信号を与えてバイアス回路20'をイネーブル即ち動作可能状態とさせ、NORゲート40は、逆に、ラインDIS及びSTRESS上においていずれかのディスエーブル条件が表示されていることに応答してラインEN上に低論理レベルを与える。ラインENはパスゲート42のNチャンネル側に直接的に接続しており、且つインバータ41を介してパスゲート42のPチャンネル側へ接続しており、従ってパスゲート42は、ラインENが高である場合に導通状態であり、且つラインENが低（即ち、インバータ41の出力におけるラインDENが高）である場合に開放状態である。ラインDENはNチャンネルトランジスタ44及び46のゲートへ接続している。トランジスタ44のドレインはトランジスタ28のゲートへ接続しており、トランジスタ44、46のソースは接地へ接続している。

【0040】動作について説明すると、ラインDIS及びSTRESSの両方が低であることによってラインENが高であると、パスゲート42は導通状態であり且つトランジスタ44及び46はターンオフする。この条件におけるバイアス回路20'の動作は上述したバイアス回路20のものと同じであり、従って上述した如く動作を最適化条件及びその近傍に維持するような態様で駆動回路2におけるトランジスタ10を制御するように V_{DD} 電源電圧における変化に対しラインBIASが追従する。ラインDIS及びSTRESSのいずれかが高レベルにアサート即ち活性化されることに起因してラインENが低であり且つラインDENが高であると、パスゲート42がターンオフする。ラインDENが高であることによってトランジスタ44がターンオンされ、そのことはそのゲートを接地へプルすることによってトランジスタ28をターンオフし、このことはトランジスタ30、32のいずれかから電流が導通されることを禁止する。ラインDENが高であることによってトランジスタ46がターンオンされ、ラインBIASを接地へプルする。図1を参照すると、ラインBIASが接地であることによってPチャンネルトランジスタ10が完全にターンオンされその場合に、駆動回路2のスリューレートは制御されない。従って、この変形例に基づくバイアス回路20'は、駆動回路2に対してスリューレート制御機能をディスエーブルさせることを可能とする。

【0041】上述した実施例のいずれかに基づき、本発明は、集積回路内において種々のタイミングパルスを最適化させることを可能とする重要な利点を提供している。上述した如く、この最適化は集積回路における出力ドライバのスリューレート又はスイッチング速度の制御に対して適用することが可能であり、且つ遅延ゲート及びパルス発生回路を最適化させるために適用することが可能である。この最適化は、本発明に基づいて、電源電圧における変動及びチャンネル長等の重要な処理パラメータにおける変動に関し維持される。

【0042】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ制限されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

【図面の簡単な説明】

【図1】 従来の出力ドライバを示した概略図。

【図2】 本発明の好適実施例に基づくバイアス回路を示した概略図。

【図3】 図2の回路によって発生される種々の処理条件及び温度に対してのバイアス電圧対 V_{DD} 電源電圧のプロットを示したグラフ図。

【図4】 図2のバイアス回路を組込んだ出力ドライバを示した概略図。

【図5】 本発明の別の実施例に基づく図4のドライバにおいて使用したバイアス回路の概略図。

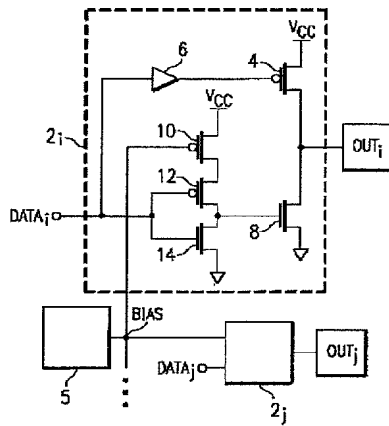
【図6】 本発明の好適実施例に基づいて発生されたバイアス電圧を使用する遅延装置の概略図。

【図7】 本発明の好適実施例に基づいて発生されたバイアス電圧を使用するパルス発生回路を示した概略図。

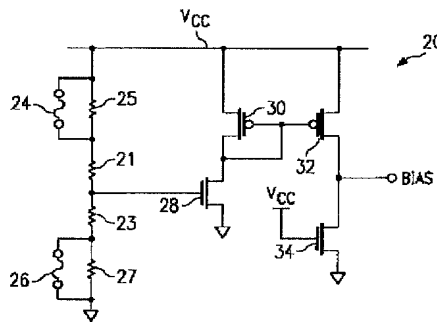
【符号の説明】

2_i 出力ドライバ回路
20 バイアス回路
20' バイアス回路
60 遅延ゲート

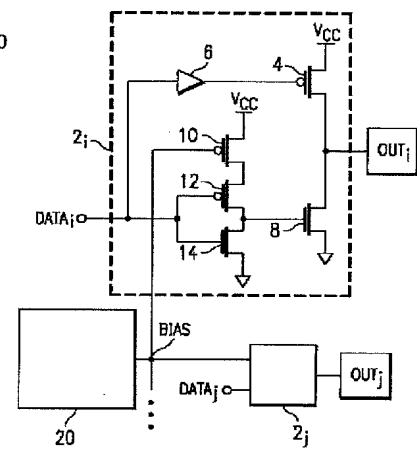
【図 1】



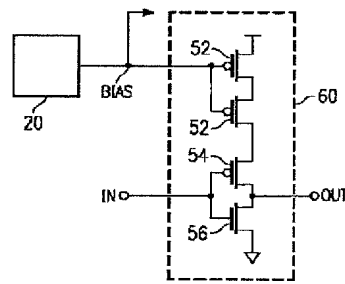
【図 2】



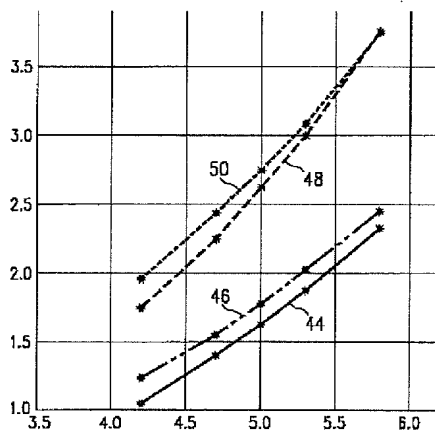
【図 4】



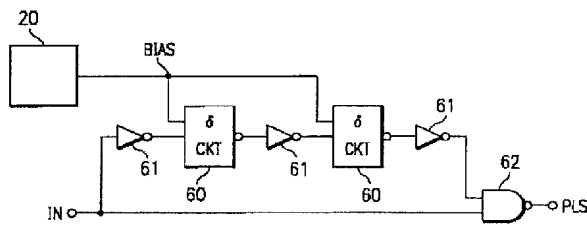
【図 5】



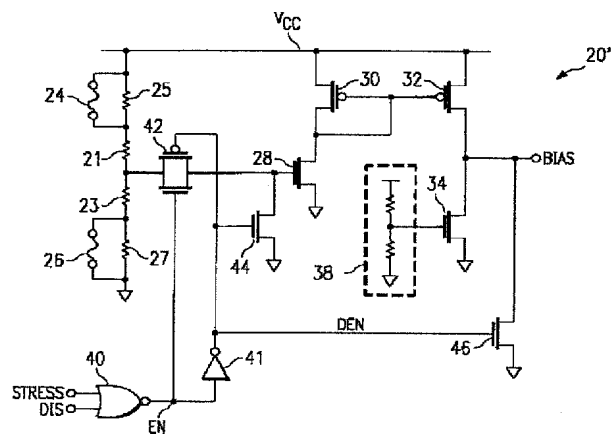
【図 3】



【図 6】



【図 7】



フロントページの続き

(51) Int. Cl.⁶

H03K 19/00
19/0175

識別記号

庁内整理番号

9184-5K

F I

H03K 17/687
19/00

技術表示箇所

F
101F

(72)発明者 デイビッド シー. マククルーア
アメリカ合衆国, テキサス 75007,
カーロルトン, エリザベス ドライブ
3701

(72)発明者 トーマス エイ. ティール
アメリカ合衆国, テキサス 78749,
オースチン, ロバート バーンズ ドラ
イブ 3803